

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MENU

SEARCH

INDEX

DETAIL

JAPANESE

BACK

2 / 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-243589

(43)Date of publication of application : 02.09.1994

(51)Int.Cl.

G11B 20/10

G11B 7/00

(21)Application number : 05-026804

(71)Applicant : SONY CORP

(22)Date of filing : 16.02.1993

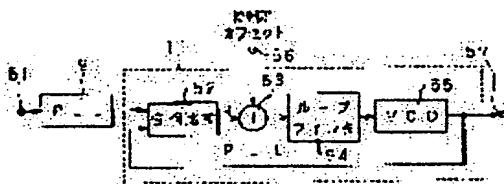
(72)Inventor : SUGITA JUNKICHI
HIROSE TOSHIHIKO

(54) CLOCK GENERATION CIRCUIT AND OPTICAL DISK DEVICE

(57)Abstract:

PURPOSE: To eliminate the need for considering a temperature characteristic and the dispersion, etc., by using no delay line.

CONSTITUTION: An output clock applicable to an optical disk device and having a prescribed phase difference for an input clock is generated. Thus, this circuit is constituted so as to be provided with a first PLL circuit 9 obtaining a clock (sample servo clock) phase synchronizing with the input clock and a second PLL circuit 11 obtaining the output clock having a prescribed phase difference for the clock from the first PLL circuit 9 by adding a prescribed phase difference offset.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-243589

(43)公開日 平成 6 年(1994) 9 月 2 日

(51)Int.Cl.⁵

G 1 1 B 20/10
7/00

識別記号

3 5 1 Z 7736-5D
R 7522-5D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21)出願番号 特願平5-26804

(22)出願日 平成 5 年(1993) 2 月 16 日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72)発明者 杉田 順吉

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72)発明者 廣瀬 俊彦

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

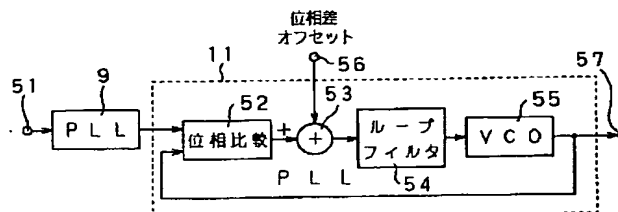
(74)代理人 弁理士 小池 晃 (外 2 名)

(54)【発明の名称】 クロック発生回路及び光ディスク装置

(57)【要約】

【構成】 光ディスク装置に適用され、入力クロックに対して所定位相差をもつ出力クロックを発生するクロック発生回路であって、入力クロックと位相同期したクロック (サンプルサーボクロック) を得る第 1 の P L L 回路 9 と、所定位相差オフセットを加えることによって第 1 の P L L 回路 9 からのクロックに対して所定位相差を持つ出力クロックを得る第 2 の P L L 回路 1 1 とを有してなる。

【効果】 デレイラインを使用せず、温度特性、バラツキ等を考慮しなくてもよくなる。



【特許請求の範囲】

【請求項1】 入力クロックに対して所定位相差をもつ出力クロックを発生するクロック発生回路において、入力クロックと位相同期したクロックを得る第1の位相同期手段と、

所定位相差オフセットを加えることによって、上記第1の位相同期手段からのクロックに対して所定位相差をもつ出力クロックを得る第2の位相同期手段とを有することを特徴とするクロック発生回路。

【請求項2】 少なくともクロック信号パターンとデータ記録用の記録領域とが設けられた光ディスクを再生する光ディスク装置において、

上記光ディスクの上記クロック信号パターンを再生して得た入力クロックと位相同期したクロックを得る第1の位相同期手段と、所定位相差オフセットを加えることによって上記第1の位相同期手段からのクロックに対して所定位相差をもつ出力クロックを得る第2の位相同期手段とからなるクロック発生回路を有し、

上記クロック発生回路からの出力クロックを、上記光ディスクの記録領域のデータ再生用のクロックとすることを特徴とする光ディスク装置。

【請求項3】 上記光ディスクの上記データ記録用の記録領域に予め記録されたクロック信号を再生して得たクロックに基づいて、上記入力クロックに対する上記所定位相差を検出する位相差検出手段を設けることを特徴とする請求項2記載の光ディスク装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、入力クロックに対して所定位相差をもつ出力クロックを発生するクロック発生回路と、このクロック発生回路を用いて好適な、例えばいわゆるサンプルサーボのような予め形成されたクロック信号パターンを使用する光ディスク装置に関するものである。

【0002】

【従来の技術】 近年、記録容量が大きく、記録したデータを半永久的に保存することができ、また当該記録したデータを簡単に書き換えられることなどから、記録媒体として例えばいわゆる光磁気ディスクが多く用いられるようになってきている。この光磁気ディスクのトラッキングサーボ方式の一例としては、いわゆるサンプルサーボ方式や、コンティニアスコンポジットサーボ方式等が存在する。

【0003】 ここで、例えば上記サンプルサーボ方式を採用する上記光磁気ディスクには、1セクタ（又は1ブロック）を1記録単位としてデータが記録されるようになる。上記1セクタは、所定の複数のセグメントから構成されており、1セグメントは、サーボ領域及びデータ領域から構成されている。上記サーボ領域には、サンプルサーボパターンとして、トラッキングエラー信号を得

るための1対のいわゆるウォブルピットと、そのセグメントにおける同期をとるためのクロックピットが予め記録されている。

【0004】 このような光磁気ディスクに記録データを記録する際には、当該光磁気ディスクをスピンドルモータにより例えば角速度一定（CAV）で回転駆動する。そして、上記サンプルサーボパターンの上記ウォブルピットからトラッキングエラー信号を形成してこれに基づいてトラッキングサーボを行い、上記クロックピットから形成されるサンプルサーボクロックで同期をとりながら、上記光磁気ディスクの一方の面側から当該光磁気ディスクにレーザビームを照射すると共に、当該光磁気ディスクの他方の面側から上記レーザビームが照射された箇所に記録データで変調した磁界を印加する。

【0005】 上記レーザビームが照射された箇所は、いわゆるキュリー温度まで熱せられて保磁力が無くなる。そこに上記記録データで変調した磁界が印加されるため、上記レーザビームが照射された箇所に記録データがスパイラル状或いは同心円状にピット列として記録される。

【0006】 ところで、上記光磁気ディスクの記録面に上記レーザビームを照射して加熱することによって上記ピットを形成する場合、当該レーザビームの照射点が上記キュリー温度まで上昇するには僅かであるが時間 ΔT が必要である。同時にこの記録時には、上記光磁気ディスクが回転される。このため、当該記録時には、上記時間 ΔT の間にレーザビームの照射位置が移動することになり、したがって形成されるピットの位置もずれることになる。

【0007】 このようなことから、上記光磁気ディスクを再生する際には、上記サンプルサーボパターンを再生して得たサンプルサーボクロックの位相と再生信号（再生MO信号）の位相とがずれるようになる。したがって、当該光磁気ディスクの再生の際に、当該サンプルサーボクロックのみを用いて再生信号のサンプリングを行うと、上述したように当該サーボクロックの位相と上記再生信号の位相とがずれているため、正確な再生ができないことになる。

【0008】 また、光磁気ディスクを再生する場合には、例えば温度差やドライブ（光磁気ディスク装置）の固体差等によっても、上記サンプルサーボパターンに応じたサンプルサーボクロックの位相と再生するデータの位相との間に差（位相差）が生じてしまう。

【0009】 このような問題を解決する方法として、周囲の環境（温度やレーザ光源のパワー等）に基づいて、記録時に予め補正を行ってピットを形成する方法が考えられる。

【0010】 しかし、この場合、補正を行うための詳細な記録条件を求めることは困難であり、また、光磁気ディスクの特性の違い（個体差）や、データ記録装置とデ

ータ再生装置が異なることなどから、上記記録時の補正だけでは不十分である。

【0011】したがって、従来は、図5に示すように、再生時に、予め求めたサンプルサーボパターンの再生クロック（サンプルサーボクロック）の位相と記録ピットの再生データの位相との差（位相差）に相当する遅延量だけ、当該再生されたサンプルサーボクロックを遅延させるような位相補正（リードクロック位相補正、R.C.P.C:Read Clock Phase Compensation）を行うようにしている。

【0012】すなわち、この図5において、端子101には、上記サンプルサーボパターンの再生信号が供給される。このサーボパターンの再生信号は、例えば位相比較器と電圧制御発振器を組み合わせる周波数に関する積分制御形の負帰還ループを用いて入力波と位相同期した出力を得るいわゆるPLL回路102に送られる。このPLL回路102からの出力がサンプルサーボクロックとなる。

【0013】当該サンプルサーボクロックは、ディレイライン103に送られる。当該ディレイライン103は、上記予め求めたサーボクロックの位相と記録ピットの再生データの位相との差（位相差）に相当する遅延を行う遅延線である。これにより、端子104からは、位相補正がなされた上記サーボクロック、すなわちマスタクロック（リードクロック）が得られる。光磁気ディスクの再生時には、このマスタクロックを用いて再生信号（再生MO信号）のサンプリングを行う。

【0014】

【発明が解決しようとする課題】しかし、上述したようなディレイラインによってサンプルサーボクロックを遅延させてマスタクロック（リードクロック）を得る方法では、当該ディレイラインの例えば温度特性等により、上記再生クロック位相補正に誤差が生じ、データの再生ができなくなる可能性がある。したがって、例えばディレイラインのその温度特性等の精度に注意しなければならなかった。

【0015】そこで、本発明は、上述のような実情に鑑みて提案されたものであり、ディレイラインを使用せず、温度特性、バラツキ等を考慮しなくてもよいクロック発生回路及びそれを用いた光ディスク装置を提供することを目的とするものである。

【0016】

【課題を解決するための手段】本発明は、上述の目的を達成するために提案されたものであり、本発明のクロック発生回路は、入力クロックに対して所定位相差をもつ出力クロックを発生するクロック発生回路であって、入力クロックと位相同期したクロックを得る第1の位相同期手段（PLL回路）と、所定位相差オフセットを加えることによって上記第1の位相同期手段（PLL回路）からのクロックに対して所定位相差を持つ出力クロック

を得る第2の位相同期手段（PLL回路）とを有してなるものである。

【0017】また、本発明の光ディスク装置は、少なくともクロック信号パターン（例えばサンプルサーボパターン）とデータ記録用の記録領域とが設けられた光ディスクを再生する装置であって、上記光ディスクの上記クロック信号パターン（例えばサンプルサーボパターン）を再生して得た入力クロックと位相同期したクロックを得る第1の位相同期手段（PLL回路）と、所定位相差オフセットを加えることによって上記第1の位相同期手段（PLL回路）からのクロックに対して所定位相差をもつ出力クロックを得る第2の位相同期手段（PLL回路）とからなるクロック発生回路を有してなり、上記クロック発生回路からの出力クロックを、上記光ディスクの記録領域のデータ再生用のクロックとするようにしたものである。

【0018】さらに、本発明の光ディスク装置には、上記光ディスクの上記データ記録用の記録領域に予め記録されたクロック信号を再生して得たクロックに基づいて、上記入力クロックに対する上記所定位相差を検出する位相差検出手段をも設けている。

【0019】

【作用】本発明によれば、入力クロックに対して所定位相差をもつ出力クロックを得るために、位相同期手段（PLL回路）を2段構成とし、第1の位相同期手段においてクロック信号パターンを再生して得た入力クロックと位相同期したクロックを得て、第2の位相同期手段において第1の位相同期手段で形成した入力クロックに対して所定位相差オフセットを加えるようにしている。

【0020】

【実施例】以下、本発明の実施例について図面を参照しながら説明する。

【0021】本発明の実施例のクロック発生回路は、図1に示すように、入力クロックに対して所定位相差をもつ出力クロックを発生するクロック発生回路であって、入力クロックと位相同期したクロックを得る第1のPLL回路9と、後述する所定位相差オフセットを加えることによって上記第1のPLL回路9からのクロックに対して所定位相差を持つ出力クロックを得る第2のPLL回路11とを有してなるものである。

【0022】すなわち、この図1において、端子51には、上記入力クロックが供給される。この入力クロックは、例えば位相比較器と電圧制御発振器を組み合わせる周波数に関する積分制御形の負帰還ループを用いて入力波と位相同期した出力を得る第1のPLL回路9に送られる。このPLL回路9からの出力（クロック）は、サーボクロックとなると共に、第2のPLL回路11に送られる。

【0023】当該第2のPLL回路11は、通常のPLL回路と同様にループフィルタ54と電圧制御発振器

(VOC) 55と位相比較器52とを有してなるものであるが、本実施例の第2のPLL回路11には、これらに加えて、加算器53が設けられている。この加算器53は、位相比較器52からの出力(電圧値)に対して、端子56を介して供給される後述する所定位相差オフセット(電圧値)を加えるために設けられている。すなわち、このPLL回路11においては、入力信号(第1のPLL回路9からのクロック)の周波数及び位相と電圧制御発振器55の発振周波数及び位相とが、上記位相比較器52で比較される。当該位相比較器52からは、第1のPLL回路9からのクロックの周波数及び位相と電圧制御発振器55の発振周波数及び位相との誤差に比例した直流電圧が出力される。この誤差電圧は上記加算器53で所定位相差オフセット(電圧値)が加算された後、低域フィルタである上記ループフィルタ54を介して電圧制御発振器55に送られる。当該第2のPLL回路11では、上記第1のPLL回路9からのクロックの周波数及び位相と当該電圧制御発振器55の発振周波数及び位相との誤差を低減させる方向に、当該電圧制御発振器55の周波数を変化させるようになっている。

【0024】このような構成により、本実施例のクロック発生回路の端子57からは、上記第1のPLL回路9への入力クロックの位相が後述する所定位相差オフセットに対応する分だけ遅延された出力クロックが得られるようになる。

【0025】ところで、上述した本実施例のクロック発生回路は、例えば光ディスク装置に適用されるものである。

【0026】すなわち、本実施例の光ディスク装置は、少なくともサンプルサーボパターンとデータ記録用の記録領域とが設けられた後述する光ディスクを再生する装置であって、図2に示すように、上記図1のクロック発生回路としてのPLL回路9及びPLL回路11を有し、当該クロック発生回路からの出力クロックを、上記光ディスクの記録領域のデータ再生用のクロック(マスタクロック)とするものである。

【0027】なお、本実施例では上記少なくともサンプルサーボパターンとデータ記録用の記録領域とが設けられた光ディスクとして光磁気ディスクを用いている。すなわち、本実施例の光磁気ディスクには、図3に示すように、1セクタ(又はブロック)を1つの情報記録単位として記録データが記録されるようになっている。上記1つのセクタは、所定数のセグメント(又はフレーム)から構成されており、当該1つのセグメントは、サーボ領域63とデータ領域64(セクタの先頭セグメントにおいてはアドレス等の情報が記録されるヘッダ領域65)から構成されている。上記サーボ領域63には、サンプルサーボパターンとして、トラッキングエラー信号を得るためのいわゆる1対のウォブルピットと記録データの同期をとるためのクロックピットが予め設けられて

おり、上記データ領域64には、磁気光学効果を利用して、ECC(誤り訂正)等の冗長分を含む記録データが記録されるようになっている。また、第2番目のセグメントのデータ領域64は、当該セクタに記録された記録データを正確に再生するために用いられる同期信号である参照クロックが記録される参照クロックパターン領域となされる。すなわち、この参照クロックパターン領域には、固定パターンとして最高記録周波数の信号(参照クロック)が記録される。なお、これらデータ領域64への記録は、一連の動作として連続的に行われる。すなわち、同時刻、同条件で記録がなされる。

【0028】また、本実施例の光磁気ディスクは、ディスク面を複数の領域(ゾーン)に分け、各ゾーン毎にディスク回転時の角速度が異なるいわゆるゾーンCAV方式を採用している。したがって、各ゾーン毎にサンプルサーボクロックの位相と参照クロックの位相との位相差は異なる。

【0029】以下、図2の光ディスク装置について具体的に説明する。この図2において、記録/再生系1のビットディテクタ2は、例えばレーザビームが照射された光磁気ディスクからの反射光を受光することによって当該光磁気ディスク上のサンプルサーボパターンとしての、トラッキングエラー信号を得るための1対のウォブルピットと、各セグメントにおける同期をとるためのクロックピットを検出する。当該ビットディテクタ2からの出力は、AGC(オートゲインコントロール)回路4でゲインの自動調整がなされた後、LPF(ローパスフィルタ)5を介してA/Dコンバータ6に送られ、当該A/Dコンバータ6によってパルス信号に変換される。

【0030】上記A/Dコンバータ6からのパルス信号は、サーボ系25に送られると共に、クロック位相検出回路7に送られる。当該クロック位相検出回路7では、上記サンプルサーボクロックの位相が検出される。次のファインデータ検出回路8では、上記サンプルサーボクロックを正確に検出し、その検出結果を上記サーボ系25に送る。

【0031】上記サーボ系25は、上記A/Dコンバータ6からのパルス信号や上記ファインデータ検出回路8からの出力を用いて、例えばフォーカスサーボ、位置サーボ等の各種サーボ信号を生成する。このサーボ信号は、駆動系26に送られる。当該駆動系26は、フォーカスアクチュエータや、スライドアクチュエータ、ガルバノアクチュエータ、スピンドルドライバ等からなる。

【0032】また、上記クロック位相検出回路7からの出力は、前記図1の第1のPLL回路9の入力端子に送られる。当該第1のPLL回路9からは、上記サンプルサーボクロックと位相同期したサンプルサーボクロックが出力される。なお、上記第1のPLL回路9からのクロックは、タイミングジェネレータ10にも送られる。このタイミングジェネレータ10は、上記PLL回路9

からのクロックに基づいて各部のタイミングクロックを生成する。当該第1のPLL回路9からのクロック（サンプルサーボクロック）は、上記第2のPLL回路11に送られると共に、端子12からサーボクロックとして後段の構成に送られる。例えば、上記A/Dコンバータ6へのサンプリングクロックとして送られる。

【0033】上記第2のPLL回路11では、上記第1のPLL回路9からのサンプルサーボクロックに対して、当該サンプルサーボクロックの位相と当該参照クロックパターンを再生して得た参照クロックの位相との位相差に相当する後述する所定位相差オフセット（電圧値）が加えられる。これにより、当該クロック発生回路の第2のPLL回路11からは（図1の端子57）からは、上記サンプルサーボクロックの位相差が補正されたマスタクロック（リードクロック）が出力されるようになる。このマスタクロックは、端子13を介して後段の構成に送られる。

【0034】一方、本実施例装置において光磁気ディスクの記録データを再生する際には、差分検出を用いたNRZI（non return to zero inverse）復調を行っている。

【0035】以下記録データ再生系について述べる。記録／再生系1のMOディテクタ3は、レーザビームが照射された光磁気ディスクの盤面からの反射光を受光して光電変換することによって、当該光磁気ディスク上に記録されたMO信号（記録データ）を検出する。当該MOディテクタ3からのMO信号（アナログ信号）は、AGC（オートゲインコントロール）回路17でゲインの自動調整がなされた後、プログラマブルLPF18を介してA/Dコンバータ19に送られ、当該A/Dコンバータ19によって上記第2のPLL回路11からのリードクロック（マスタクロック）に基づいてパルス信号に変換される。

【0036】上記A/Dコンバータ19からのパルス信号は、イコライザ20によって波形等価され、差分検出回路21でデータ抜き取り用の差分検出が行われた後、NRZIのエンコーダ／デコーダ回路22でNRZI復調される。当該エンコーダ／デコーダ回路22でNRZI復調により得られたデータは、シリアル／パラレル変換を行うためのFIFOメモリ23を介し、更にバスを介してバッファ管理・ECC回路30に送られる。当該バッファ管理・ECC回路30は供給されたデータの誤り訂正を行う。なお、当該バッファ管理・ECC回路30は、一旦データを格納するバッファ31と接続され、このバッファ31の書き込み／読み出しを管理することで、上記誤り訂正を実現している。このバッファ管理・ECC回路30で誤り訂正されたデータは、いわゆるSCSI（small computer systems interface）32を介してホストコンピュータ33に送られると共に、バスを介して後段の構成に送られる。

【0037】なお、信号記録時には、上記NRZIエンコーダ／デコーダ回路22のNRZI変調データが記録／再生系1に送られる。当該データに基づいて記録／再生系1のレーザダイオードを駆動するレーザドライバや磁界変調用の磁気ヘッド用ドライバが動作する。なお、記録時には、レーザドライバがレーザダイオードをハイパワーでパルス発光させると共に、磁気ヘッド用ドライバに記録データが入力されて高速磁界変調が行われる。再生時には、上記レーザドライバはレーザダイオードをローパワーで連続発光させる。さらに、記録時には、レーザパルスの幅、及び磁界データの位相を含む記録位置制御が行われる。

【0038】ここで、本実施例装置では、前述したように再生時のクロック位相補正（R. C. P. C.）を行うための上記第2のPLL回路11への所定位相差オフセット（電圧値）を、以下のようにして形成するようにしている。すなわち、本実施例装置においては、前記参照クロックパターン領域の固定パターンを用いて再生時の最適位相を求め、この最適位相に基づいて所定位相差を検出する位相差検出手段としてのクロック制御回路40、ピーク検出回路41、平均化回路42を有している。

【0039】具体的には以下のようなことを行っている。上記第2のPLL回路11のマスタクロックは、上記クロック制御回路40に送られる。当該クロック制御回路40は、マスタクロックの位相を逐次変化（増減）させ、この逐次変化された出力クロック（リードクロック）を上記A/Dコンバータ19へのサンプリングクロックとして送る。当該A/Dコンバータ19では上記クロック制御回路40からのクロックに基づいて、上記MO信号をサンプリングするようになる。このサンプリングされた信号が上記イコライザ20を介して差分検出回路21に送られる。当該差分検出回路21からの差分値は、ピーク検出回路41に送られる。当該ピーク検出回路41では、上記逐次位相が変化されたリードクロックでサンプリングされた信号の差分値が最大となる位相が求められる。

【0040】本実施例装置では、上述のような動作を複数パス（例えば4回）繰り返す。ピーク検出回路41の後段の平均化回路42では、この複数パスの繰り返しのより、得られた各位相の平均を最適位相と判断する。より具体的に説明すると、本実施例における最適位相検出では、当該実施例装置が差分値を扱うため2クロック分で1ステップとし、20ステップの位相遅延量増減で当該最適位相検出動作の1パスを構成する。参照クロックパターン領域ではこのパスを4回行える。例えば、上記クロック制御回路40におけるリードクロックの位相の逐次増減の際には、奇数回のパスの時に位相遅延量を単調増加させ、偶数回のパスの時に位相遅延量を単調減少させるようにする。その後のピーク検出及び平均化の際

には、上記差分検出回路21の差分値が最大となる位相を求める。

【0041】上記平均化回路42で求められた最適位相情報が電圧値に変換され、これが上記所定位相差オフセットになって上記第2のPLL回路11に送られる。

【0042】なお、上記参照クロックパターン領域につづくデータ記録領域に対しては、当該最適位相検出動作で求められた最適位相で補正されたリードクロックを用いてA/Dコンバータ19でのサンプリングが行われる。

【0043】ところで、本実施例の光磁気ディスクでは上述したようにゾーンCAVを採用しているので、各ゾーン毎にサンプルサーボクロックの位相と参照クロックの位相との位相差は異なり、このため、本実施例装置では、ゾーン毎に各部を制御するゾーンコントローラ14によって、上記第2のPLL回路11やプログラマブルLPF18、イコライザ20を制御するようにしている。当該ゾーンコントローラ14によって上記第2のPLL回路11が制御されることにより、当該PLL回路11では、上記サンプルサーボクロックの位相補正がなされて、ゾーン毎に異なるリードクロック（マスタクロック）が出力されるようになる。

【0044】なお、図1のROM27はCPU29のプログラムデータを保持し、RAM28はCPU29の処理データを一時格納する。

【0045】次に、本発明の光ディスク装置の他の実施例として、図4に示すように、上記第2のPLL回路11に供給される所定位相差オフセットに対応するデータをROM40に格納する構成とすることもできる。なお、この図4において、図2と同様の構成要素には同一の指示符号を付してその詳細な説明については省略している。

【0046】この図4において、上記ゾーンコントローラ14からは、光磁気ディスクの各ゾーンに応じた読み出しアドレスが上記ROM40に送られる。当該ROM40は、当該読み出しアドレスに応じて上記所定位相差オフセットに対応するデータを出力する。この上記所定位相差オフセットに対応するデータは、図示は省略しているが例えばD/Aコンバータ等を介して電圧値に変換されて上記第2のPLL回路11に送られる。これにより、当該第2のPLL回路11では、上述した図2の実施例装置同様に動作することができる。

【0047】上述したように、本発明の実施例のクロック発生回路を適用した光ディスク装置においては、PLL回路を2段構成とし、1段目のPLL回路9はサーボデータを検出するためのサーボクロック用に、また、2段目のPLL回路11はリードクロック用とし、このPLL回路11においてPLLの位相比較器(52)の出力に前述したサンプルサーボクロックとデータとの位相差に相当するオフセット量を加えてリードクロック位相

補償を実現している。このようにすれば、前述した従来例のようにディレイラインを用いず、かつ当該ディレイラインによる温度特性の影響を受けずに、リードクロック位相補償が行える。

【0048】なお、本実施例の光ディスク装置の構成では、PLL回路を2個必要としているが、一般にゾーンCAVを行う場合は元々PLL回路が2個必要となるので、新たにPLL回路を設けることなくこの2個のPLLをそのまま流用でき、シンプルなハードウェア構成を実現できる。さらに、消費電力も少なくなり、実装も簡単化できる。

【0049】その他、上述した実施例では、光ディスクとして光磁気ディスクを使用しているが、これに限らず、例えば相変化型の光ディスクを用いることもでき、この相変化型の光ディスクを用いても上述同様の効果を得ることができる。

【0050】

【発明の効果】本発明のクロック発生回路及びそれを用いた光ディスク装置においては、第1の位相同期手段（PLL回路）によって光ディスク上に予め形成されたクロック信号パターンと同期したクロック（例えばサンプルサーボクロック）を得て、書き込み時の温度やドライブの個体差等によって生ずるクロック信号パターン（サンプルサーボクロック）とデータリードクロックとの位相ずれを、第2の位相同期手段（PLL回路）内の位相比較器出力に所定位相差オフセットを加えることによって取り除くようにすることで、従来のようにディレイラインを使用せずに済み、また、温度特性、バラツキ等を考慮しなくても良く、さらに消費電力も少なくなり、実装も簡単化することができる。

【図面の簡単な説明】

【図1】本発明の実施例のクロック発生回路の概略構成を示すブロック回路図である。

【図2】実施例の光ディスク装置の概略構成を示すブロック回路図である。

【図3】実施例の光磁気ディスクの記録フォーマットを示す図である。

【図4】他の実施例の光ディスク装置の概略構成を示すブロック回路図である。

【図5】従来のクロック発生回路の概略構成を示すブロック回路図である。

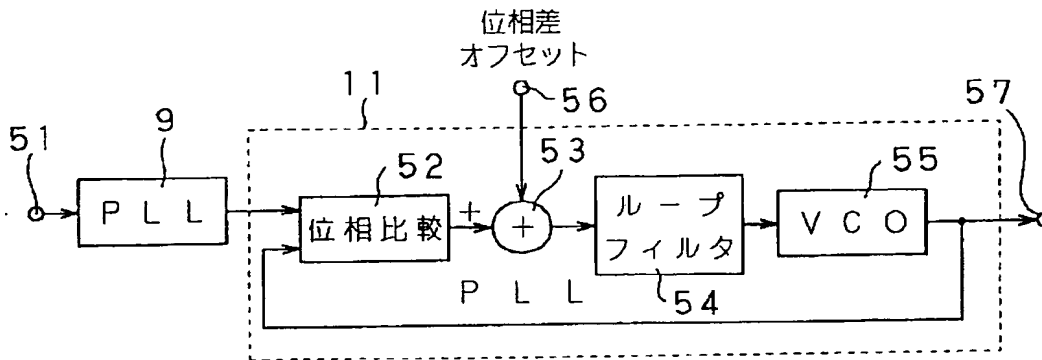
【符号の説明】

- 1・・・・・・記録／再生系
- 2・・・・・・ピットディテクタ
- 3・・・・・・MOディテクタ
- 4, 17・・・・AGC回路
- 5・・・・・・LPF
- 6, 19・・・・A/Dコンバータ
- 7・・・・・・クロック位相検出回路
- 8・・・・・・ファインデータ検出回路

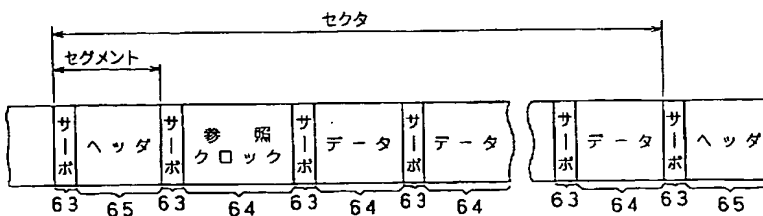
9 第1のPLL回路
 10 タイミングジェネレータ
 11 第2のPLL回路
 14 ゾーンコントローラ
 18 プログラマブルLPF
 20 イコライザ
 21 差分検出回路
 22 NRZIエンコーダ/デコーダ
 23 FIFOメモリ

25 サーボ系
 26 駆動系
 30 バッファ管理・ECC回路
 31 バッファ
 32 SCSI
 33 ホストコンピュータ
 40 クロック制御回路
 41 ピーク検出回路
 42 平均化回路

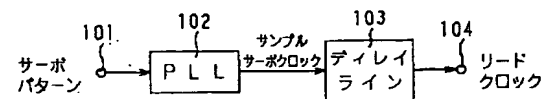
【図1】



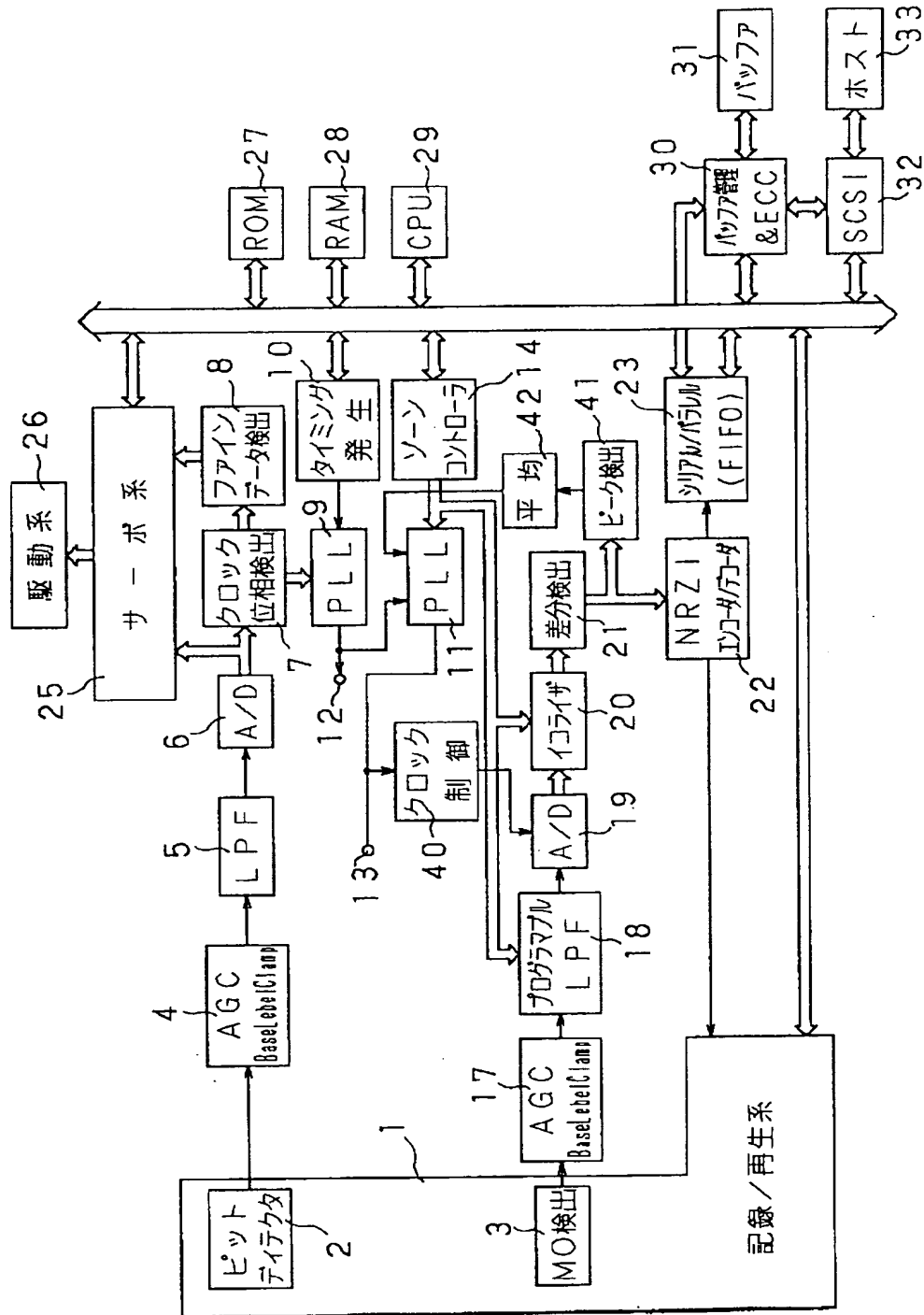
【図3】



【図5】



【図2】



【図4】

